

RESONANCE FILTER, DUPLEXER AND METHOD FOR REGULATING THEIR CHARACTERISTICS

Patent Number: JP2003101385
Publication date: 2003-04-04
Inventor(s): GUNJI KATSUHIKO; KOMURO EIKI
Applicant(s): TDK CORP
Requested Patent: JP2003101385
Application Number: JP20010291381 20010925
Priority Number(s):
IPC Classification: H03H9/58; H03H3/04; H03H9/17
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To regulate electrical characteristics of a resonance filter by measuring or regulating the characteristics of a partial resonator in the resonance filter packaged by a chip including a plurality of resonators on a mounting board.

SOLUTION: The resonance filter 1 comprises the chip 10 including the plurality of the resonators, and the mounting board 30 in which the chip 10 is mounted for packaging. The chip 10 is mounted on the board 30 by flip-chip bonding. The chip 10 has the series resonator 16 and a parallel resonator 17. Before the chip 10 is mounted on the board 30, the resonators 16 and 17 are electrically isolated from each other. When the chip 10 is mounted on the board 30, the resonator 16 is electrically connected to the resonator 17 via the conductor part 32 of the board 30 to complete a filter circuit.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-101385

(P2003-101385A)

(43) 公開日 平成15年4月4日 (2003. 4. 4)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード* (参考)
H 0 3 H	9/58	H 0 3 H	9/58
	3/04		3/04
	9/17		9/17
			A
			Z
			B
			F

審査請求 未請求 請求項の数 9 O L (全 19 頁)

(21) 出願番号 特願2001-291381 (P2001-291381)

(22) 出願日 平成13年9月25日 (2001. 9. 25)

(71) 出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋 1 丁目13番 1 号

(72) 発明者 郡司 勝彦

東京都中央区日本橋一丁目13番 1 号 ティーディーケイ株式会社内

(72) 発明者 小室 栄樹

東京都中央区日本橋一丁目13番 1 号 ティーディーケイ株式会社内

(74) 代理人 100107559

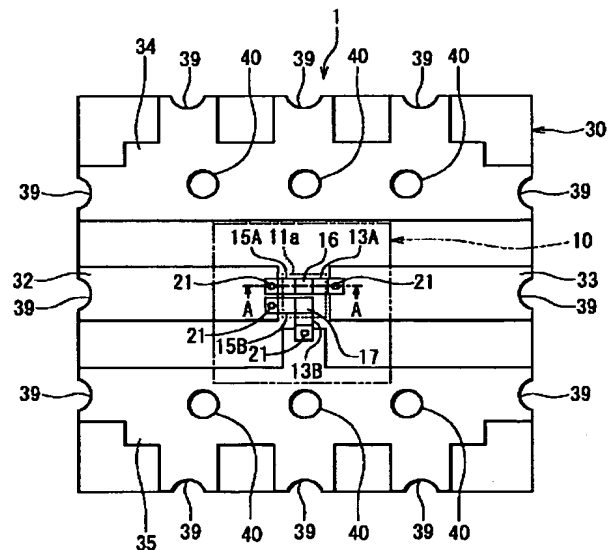
弁理士 星宮 勝美

(54) 【発明の名称】 共振フィルタ、デュプレクサならびにこれらの特性調整方法

(57) 【要約】

【課題】 複数の共振子を含むチップと実装基板とによってパッケージ化された共振フィルタにおいて、一部の共振子について電気的特性の測定や調整を行うことによって共振フィルタの電気的特性を調整できるようにする。

【解決手段】 共振フィルタ 1 は、複数の共振子を含むチップ 10 と、パッケージ化のためにチップ 10 が実装される実装基板 30 とを備えている。チップ 10 はフリップチップボンディングによって実装基板 30 に実装されている。チップ 10 は、直列共振子 16 と並列共振子 17 とを有している。チップ 10 を実装基板 30 に実装する前においては、直列共振子 16 と並列共振子 17 は、互いに電気的に分離されている。チップ 10 を実装基板 30 に実装すると、実装基板 30 の導体部 32 を介して直列共振子 16 と並列共振子 17 が電気的に接続されてフィルタ回路が完成する。



【特許請求の範囲】

【請求項1】 複数の共振子を含むフィルタ回路を有する共振フィルタであって、
前記複数の共振子を有すると共に、少なくとも1つの共振子は他の共振子から電気的に分離された状態となっているチップと、

前記チップが実装された実装基板とを備え、
前記チップは、フィルタ回路が完成するように前記少なくとも1つの共振子と他の共振子とを電気的に接続するための外部の導体との電気的接続のための複数の接続電極を有し、
前記実装基板は、前記チップが実装される際に前記チップの前記接続電極に電気的に接続されることによって、フィルタ回路が完成するように前記少なくとも1つの共振子と他の共振子とを電気的に接続する導体部を有することを特徴とする共振フィルタ。

【請求項2】 前記共振子は、圧電性を有する圧電薄膜と、前記圧電薄膜の両面に配置され、前記圧電薄膜に対して励振用電圧を印加するための2つの励振用電極とを有することを特徴とする請求項1記載の共振フィルタ。

【請求項3】 前記フィルタ回路は、直列共振子と並列共振子とを含むラダー型のフィルタ回路であることを特徴とする請求項1または2記載の共振フィルタ。

【請求項4】 前記チップは、フェースダウンボンディングによって前記実装基板に実装されていることを特徴とする請求項1ないし3のいずれかに記載の共振フィルタ。

【請求項5】 前記チップは、フリップチップボンディングによって前記実装基板に実装されていることを特徴とする請求項4記載の共振フィルタ。

【請求項6】 前記チップは、他の共振子から分離された共振子の電気的特性を調整するための調整部を有することを特徴とする請求項1ないし5のいずれかに記載の共振フィルタ。

【請求項7】 請求項1ないし6のいずれかに記載の共振フィルタの電気的特性を調整する方法であって、
前記チップを前記実装基板に実装する前に、前記少なくとも1つの共振子について電気的特性を調整する工程と、
前記調整後の前記チップを前記実装基板に実装する工程とを備えたことを特徴とする共振フィルタの特性調整方法。

【請求項8】 送信信号を通過させ、受信信号を遮断する第1のフィルタと、受信信号を通過させ、送信信号を遮断する第2のフィルタとを備え、アンテナに接続されるデュプレクサであって、前記第1のフィルタと第2のフィルタの少なくとも一方は、請求項1ないし6のいずれかに記載の共振フィルタであることを特徴とするデュプレクサ。

【請求項9】 請求項8記載のデュプレクサの電気的

性を調整する方法であって、

前記共振フィルタの前記チップを前記実装基板に実装する前に、前記少なくとも1つの共振子について電気的特性を調整する工程と、

前記調整後の前記チップを前記実装基板に実装する工程とを備えたことを特徴とするデュプレクサの特性調整方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の共振子を含む共振フィルタ、この共振フィルタを含むデュプレクサ、ならびにこれらの特性調整方法に関する。

【0002】

【従来の技術】近年飛躍的に普及してきた携帯電話等の移動体通信機器では、年々、小型化、および使用周波数の高周波化が進められている。そのため、移動体通信機器に使用される電子部品にも、小型化、および対応可能な周波数の高周波化が要望されている。

【0003】移動体通信機器には、1つのアンテナを送信と受信とに共用させるために送信信号の経路と受信信号の経路とを切り替えるデュプレクサを備えているものがある。このデュプレクサは、送信信号を通過させ、受信信号を遮断するフィルタと、受信信号を通過させ、送信信号を遮断するフィルタとを備えている。

【0004】近年、上記デュプレクサにおけるフィルタには、弾性表面波フィルタが用いられることがある。弾性表面波フィルタは、2GHzまでの周波数に対応でき、また、セラミックフィルタに比べて小型化が可能であるという特徴を有する。しかし、今後、移動体通信機器の使用周波数が2GHz以上となった場合、弾性表面波フィルタがそのような周波数に対応するには、現状では技術的課題が多い。

【0005】そこで、最近、特開2000-278078号公報に示されるように、薄膜バルクアコースティック共振子(Thin Film Bulk Acoustic Resonator; 以下、FBARとも記す。)と呼ばれるデバイスが注目されている。このFBARは、圧電薄膜の厚み方向の共振を利用した圧電共振子である。FBARでは、圧電薄膜の厚みを変えることにより共振周波数を変えることができる。また、FBARは、数GHzの周波数まで対応することが可能であると考えられる。

【0006】ところで、共振子を用いたフィルタとしては、例えばラダー型フィルタがある。このラダー型フィルタは、基本構成として直列共振子と並列共振子とを含む。ラダー型フィルタは、必要に応じて、複数の基本構成が縦続接続されて構成される。

【0007】ここで、例えば上記のラダー型フィルタのように複数の共振子を含むフィルタをパッケージ化することを考える。この場合には、フィルタの構成要素を含むチップを形成し、このチップを実装基板に実装して、

パッケージを製造することになる。このようなパッケージ化を考える場合、チップにおいて複数の共振子が電気的に接続され、フィルタの回路が完成した状態となるようにチップを構成するのが一般的である。

【0008】

【発明が解決しようとする課題】ところで、ラダー型フィルタでは、例えば、直列共振子の共振周波数と並列共振子の反共振周波数を、フィルタの所望の通過帯域の中心周波数に合わせる。この場合、並列共振子の共振周波数から直列共振子の反共振周波数までの周波数範囲が、フィルタの通過帯域となる。このように、ラダー型フィルタでは、各共振子の共振周波数および反共振周波数を正確に制御することが重要である。本出願において、フィルタの通過帯域を決める周波数や、通過帯域の中心周波数をフィルタの動作周波数と言う。

【0009】一方、FBARでは、所望の共振周波数や反共振周波数を得るためには、圧電薄膜や電極の厚みを正確に制御することが必要である。しかしながら、これらの厚みを完璧に制御することは困難である。そのため、ラダー型フィルタの直列共振子や並列共振子にFBARを用いる場合には、各共振子(FBAR)毎の共振周波数や反共振周波数を測定し、それらが所望の値からずれている場合には何らかの方法でそれらを調整することが必要になる。

【0010】しかしながら、前述のように、フィルタの回路が完成した状態となるようにチップを構成した場合には、フィルタの動作周波数等の、フィルタ全体の電気的特性は測定できても、チップ内の一部の共振子の共振周波数や反共振周波数を測定したり、必要に応じてそれらを調整することは困難である。そのため、この場合には、フィルタの電気的特性を調整することが難しいという問題点がある。

【0011】本発明はかかる問題点に鑑みてなされたもので、その第1の目的は、複数の共振子を有するチップと、このチップが実装された実装基板とを有する共振フィルタであって、一部の共振子について電気的特性の測定や調整を行うことによって、共振フィルタの電気的特性を調整できるようにした共振フィルタおよびこの共振フィルタを含むデュプレクサを提供することにある。

【0012】本発明の第2の目的は、複数の共振子を有するチップと、このチップが実装された実装基板とを有する共振フィルタにおいて、一部の共振子について電気的特性の調整を行うことによって、共振フィルタの電気的特性を調整できるようにした共振フィルタの特性調整方法を提供することにある。

【0013】本発明の第3の目的は、複数の共振子を有するチップと、このチップが実装された実装基板とを有する共振フィルタを含むデュプレクサにおいて、共振フィルタ内の一部の共振子について電気的特性の調整を行うことによって、デュプレクサの電気的特性を調整でき

るようにしたデュプレクサの特性調整方法を提供することにある。

【0014】

【課題を解決するための手段】本発明の共振フィルタは、複数の共振子を含むフィルタ回路を有するものであって、複数の共振子を有すると共に、少なくとも1つの共振子は他の共振子から電気的に分離された状態となっているチップと、チップが実装された実装基板とを備え、チップは、フィルタ回路が完成するように少なくとも1つの共振子と他の共振子とを電気的に接続するための外部の導体との電気的接続のための複数の接続電極を有し、実装基板は、チップが実装される際にチップの接続電極に電気的に接続されることによって、フィルタ回路が完成するように少なくとも1つの共振子と他の共振子とを電気的に接続する導体部を有するものである。

【0015】本発明の共振フィルタでは、複数の共振子を有するチップにおいて少なくとも1つの共振子は他の共振子から電気的に分離されている。従って、チップを実装基板に実装する前に、少なくとも1つの共振子について、電気的特性の測定や調整を行うことが可能である。また、本発明の共振フィルタでは、チップを実装基板に実装する際に、チップの接続電極が実装基板の導体部に電気的に接続され、これによりフィルタ回路が完成する。なお、共振子の電気的特性は、共振子の共振周波数および反共振周波数を含む。

【0016】本発明の共振フィルタにおいて、共振子は、圧電性を有する圧電薄膜と、圧電薄膜の両面に配置され、圧電薄膜に対して励振用電圧を印加するための2つの励振用電極とを有していてもよい。

【0017】また、本発明の共振フィルタにおいて、フィルタ回路は、直列共振子と並列共振子とを含むラダー型のフィルタ回路であってもよい。

【0018】また、本発明の共振フィルタにおいて、チップは、フェースダウンボンディングによって実装基板に実装されていてもよい。この場合、チップは、フリップチップボンディングによって実装基板に実装されていてもよい。

【0019】また、本発明の共振フィルタにおいて、チップは、他の共振子から分離された共振子の電気的特性を調整するための調整部を含んでいてもよい。

【0020】本発明の共振フィルタの特性調整方法は、本発明の共振フィルタの電気的特性を調整する方法であって、チップを実装基板に実装する前に、少なくとも1つの共振子について電気的特性を調整する工程と、この調整後のチップを実装基板に実装する工程とを備えたものである。なお、共振フィルタの電気的特性は、共振フィルタの動作周波数を含む。

【0021】本発明のデュプレクサは、送信信号を通過させ、受信信号を遮断する第1のフィルタと、受信信号を通過させ、送信信号を遮断する第2のフィルタとを備

え、アンテナに接続されるものであって、第1のフィルタと第2のフィルタの少なくとも一方を本発明の共振フィルタとしたものである。

【0022】本発明のデュプレクサの特性調整方法は、上記の本発明のデュプレクサの電気的特性を調整する方法であって、共振フィルタのチップを実装基板に実装する前に、少なくとも1つの共振子について電気的特性を調整する工程と、調整後のチップを実装基板に実装する工程とを備えたものである。なお、デュプレクサの電気的特性は、第1のフィルタおよび第2のフィルタの各動作周波数を含む。

【0023】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

〔第1の実施の形態〕まず、図1および図2を参照して、本発明の第1の実施の形態に係る共振フィルタの構成について説明する。図1は本実施の形態に係る共振フィルタの平面図、図2は図1におけるA-A線断面を拡大して示す断面図である。

【0024】本実施の形態に係る共振フィルタ1は、複数の薄膜圧電共振子を含むフィルタ回路を有し、パッケージ化されたものである。図1に示したように、共振フィルタ1は、複数の薄膜圧電共振子を有するチップ10と、このチップ10が実装された実装基板30とを備えている。なお、図1は、チップ10における、後述する基体、バリア層および圧電薄膜を省略して描いている。

【0025】図2に示したように、チップ10は、フェースダウンボンディングの一種であるフリップチップボンディングによって実装基板30に実装されている。すなわち、チップ10の一方の面（図2における下側の面）には、突起状の接続電極であるバンパ21が設けられ、実装基板30の一方の面（図2における上側の面）には、それぞれ所定のパターンに形成された信号用導体部32、33と接地用導体部34、35（図1参照）とが設けられている。チップ10は、バンパ21が設けられた一方の面が、実装基板30の一方の面に対向するように配置され、バンパ21が導体部32、33、35の所定の位置に電気的に接続される。

【0026】次に、図3ないし図5を参照して、チップ10の構成について詳しく説明する。図3はバンパ21を形成する前のチップ10の要部を示す平面図、図4は図3のB-B線断面図、図5はバンパ21を形成した後のチップ10の要部を示す平面図である。なお、図4では、水平方向の寸法よりも垂直方向の寸法、すなわち厚みを大きく描いている。上方から見たときのチップ10の大きさは、例えば縦2mm、横2mmである。

【0027】チップ10は、基体11と、この基体11の上に配置されたバリア層12と、このバリア層12の上に配置された下部電極13A、13Bと、この下部電極13A、13Bの上に配置された圧電薄膜14と、こ

の圧電薄膜14の上に配置された上部電極15A、15Bとを備えている。

【0028】図3および図4に示したように、基体11には空洞11aが設けられている。図3に示したように、上方から見たときの空洞11aの形状は矩形になっている。基体11には、例えばSi基板が用いられる。

【0029】バリア層12は、基体11の空洞11aに対応する領域にも下部電極13A、13Bを配置できるように、基体11と下部電極13A、13Bとを隔てる絶縁層である。バリア層12の材料には、例えば窒化ケイ素(SiN_x)が用いられる。

【0030】圧電薄膜14は、圧電性を有する薄膜である。圧電薄膜14の材料には、例えばZnOが用いられる。下部電極13A、13Bおよび上部電極15A、15Bは、それぞれ、主として金属よりなり、例えばクロム(Cr)層の上に金(Au)層を積層して形成される。下部電極13A、13Bおよび上部電極15A、15Bの各平面形状は、いずれも、一方向に長い矩形をなしている。これらの電極13A、13B、15A、15Bの長辺の長さは例えば300μm、短辺の長さは例えば100μmである。

【0031】図3に示したように上方から見たときに、下部電極13Aと上部電極15Aは一方向に沿って配置されている。下部電極13Aの右側の端部は空洞11aに対応する領域内に配置され、下部電極13Aの左側の端部は空洞11aに対応する領域の外に配置されている。また、上部電極15Aの左側の端部は空洞11aに対応する領域内に配置され、上部電極15Aの右側の端部は空洞11aに対応する領域の外に配置されている。下部電極13Aの右側の端部近傍の一部と上部電極15Aの左側の端部近傍の一部は、圧電薄膜14を介して互いに対向するように配置されている。そして、下部電極13Aと上部電極15Aの互いに重なる部分と、これらの間に配置された圧電薄膜14の一部とによって、直列共振子16が形成されている。この直列共振子16は、圧電性を有する圧電薄膜14と、圧電薄膜14の両面に配置され、圧電薄膜14に対して励振用電圧を印加するための2つの励振用電極である下部電極13Aおよび上部電極15Aを有する薄膜圧電共振子である。上方から見たときに、下部電極13Aの左端から上部電極15Aの右端までの長さは例えば500μmであり、直列共振子16の大きさは、例えば縦100μm、横100μmである。

【0032】また、図3に示したように上方から見たときに、上部電極15Bは、上部電極15Aに対して所定の間隔を空けて平行に配置されている。下部電極13Bは上部電極15Bに対して直交するように配置されている。下部電極13Bの図3における上側の端部は空洞11aに対応する領域内に配置され、下部電極13Bの図3における下側の端部は空洞11aに対応する領域の外

に配置されている。また、上部電極15Bの左側の端部は空洞11aに対応する領域内に配置され、上部電極15Bの右側の端部は空洞11aに対応する領域の外に配置されている。下部電極13Bの上側の端部近傍の一部と上部電極15Bの左側の端部近傍の一部は、圧電薄膜14を介して互に対向するように配置されている。そして、下部電極13Bと上部電極15Bの互いに重なる部分と、これらの間に配置された圧電薄膜14の一部とによって、並列共振子17が形成されている。この並列共振子17は、圧電性を有する圧電薄膜14と、圧電薄膜14の両面に配置され、圧電薄膜14に対して励振用電圧を印加するための2つの励振用電極である下部電極13Bおよび上部電極15Bを有する薄膜圧電共振子である。上方から見たときの並列共振子17の大きさは、例えば縦100 μ m、横100 μ mである。

【0033】圧電薄膜14において、下部電極13Aの左側の端部近傍の部分に対応する位置と、下部電極13Bの図3における下側の端部近傍の部分に対応する位置には、それぞれスルーホール14a、14bが形成されている。

【0034】図5に示したように、下部電極13Aの左側の端部近傍の部分、下部電極13Bの下側の端部近傍の部分、上部電極15Aの右側の端部近傍の部分および上部電極15Bの右側の端部近傍の部分の上には、それぞれ、バンパ21が形成されている。バンパ21は、例えば金によって形成される。バンパ21の直径は、例えば約60 μ mである。また、バンパ21は、バンパボンダーによって形成される。

【0035】次に、図6ないし図8を参照して、実装基板30の構成について詳しく説明する。図6は実装基板30の平面図、図7は図6における下側から見た実装基板30の側面図、図8は実装基板30の底面図である。実装基板30の大きさは、例えば縦5mm、横5mm、厚み1mmである。また、実装基板30の材料には、例えばガラスエポキシが用いられる。

【0036】実装基板30の上面には、信号用導体部32、33と接地用導体部34、35とが設けられている。信号用導体部32は、実装基板30の上面における中央部分から左側の端部まで延びている。信号用導体部33は、実装基板30の上面における中央部分から右側の端部まで延びている。実装基板30の上面において、信号用導体部32の右側の端部と信号用導体部33の左側の端部は、所定の間隔を空けて対向している。接地用導体部34は、信号用導体部32、33の図6における上側に、信号用導体部32、33に対して所定の間隔を空けて配置されている。接地用導体部35は、信号用導体部32、33の図6における下側に、信号用導体部32、33に対して所定の間隔を空けて配置されている。接地用導体部35の一部は、信号用導体部32の右側の端部と信号用導体部33の左側の端部とが対向する領域

に向けて突出している。

【0037】実装基板30の下面には、左側の端部近傍の部分に信号用導体部36が設けられ、右側の端部近傍の部分に信号用導体部37が設けられ、広い領域にわたって接地用導体部38が設けられている。信号用導体部36、37は、それぞれ、接地用導体部38に対して所定の間隔を空けて隔てられている。

【0038】実装基板30の4つの側面には、それぞれ、端面スルーホール39が3つずつ設けられている。信号用導体部32は1つの端面スルーホール39を介して信号用導体部36に電氣的に接続されている。同様に、信号用導体部33は他の1つの端面スルーホール39を介して信号用導体部37に電氣的に接続されている。

【0039】また、接地用導体部34が設けられた領域内には3つのスルーホール40が設けられ、接地用導体部35が設けられた領域内にも3つのスルーホール40が設けられている。接地用導体部34は、3つのスルーホール40と5つの端面スルーホール39とを介して接地用導体部38に接続されている。同様に、接地用導体部35も、3つのスルーホール40と5つの端面スルーホール39とを介して接地用導体部38に接続されている。

【0040】図6に示したように、信号用導体部32、33の幅は例えば0.6mmである。また、図6および図8に示したように、接地用導体部34、35、38において、端面スルーホール39に接続される部分の長さは例えば0.5mm、幅は例えば0.6mmである。また、信号用導体部32、33と接地用導体部34との間隔、および信号用導体部32、33と接地用導体部35との間隔は、それぞれ例えば0.5mmである。また、端面スルーホール39の直径は例えば0.4mmであり、ピッチは例えば1.27mmである。また、スルーホール40の直径は例えば0.3mmであり、ピッチは例えば0.8mmである。

【0041】また、信号用導体部32、33および接地用導体部34、35、38はそれぞれ、例えば、銅(Cu)層の上にニッケル(Ni)層と金(Au)層を順に積層して形成される。この場合、銅層の厚みは例えば18 μ mであり、ニッケル層と金層を合わせた厚みは例えば5 μ mである。

【0042】次に、本実施の形態に係る共振フィルタ1の製造方法について説明する。この製造方法は、前述の構成のチップ10を作製する工程と、前述の構成の実装基板30を作製する工程と、チップ10を実装基板30に実装すると共に、その際に、実装基板30の導体部32を、チップ10の上部電極15Aに接続されたバンパ21および上部電極15Bに接続されたバンパ21に電氣的に接続させることによってフィルタ回路を完成させる工程とを備えている。

【0043】図1および図2に示したように、チップ10は、バンパ21が形成された面を下にして実装基板30の上面の上に配置され、フリップチップボンディングによって実装基板30に実装される。このとき、下部電極13Aはバンパ21を介して信号用導体部33に電気的に接続される。上部電極15Aはバンパ21を介して信号用導体部32に電気的に接続される。下部電極13Bはバンパ21を介して接地用導体部35に電気的に接続される。上部電極15Bはバンパ21を介して信号用導体部32に電気的に接続される。フリップチップボンディングによってチップ10を実装基板30に実装する際には、チップ10に熱、圧力および超音波振動が加えられる。

【0044】このようにして、パッケージ化された共振フィルタ1が製造される。この共振フィルタ1は、実装基板30の端面スルーホール39の近辺において他の基板にはんだ付けされることによって、他の基板に対して電気的に接続され、且つ機械的に固定される。

【0045】以上説明したように、本実施の形態に係る共振フィルタ1において、チップ10は直列共振子16と並列共振子17とを有している。直列共振子16は、下部電極13Aと、上部電極15Aと、これらの間に配置された圧電薄膜14とを有している。並列共振子17は、下部電極13Bと、上部電極15Bと、これらの間に配置された圧電薄膜14とを有している。チップ10を実装基板30に実装する前においては、直列共振子16と並列共振子17は、互いに電気的に分離されている。

【0046】チップ10を実装基板30に実装すると、下部電極13Aが信号用導体部33に電気的に接続され、上部電極15A、15Bが共に信号用導体部32に電気的に接続され、下部電極13Bが接地用導体部35に電気的に接続される。これにより、導体部32を介して上部電極15A、15Bが電気的に接続される。その結果、直列共振子16と並列共振子17が電気的に接続されて、直列共振子16と並列共振子17を含むラダー型のフィルタ回路が完成する。

【0047】本実施の形態に係る共振フィルタ1において、導体部32、33の一方はフィルタ回路の入力端となり、他方はフィルタ回路の出力端となる。

【0048】図9は、導体部33を入力端とし、導体部32を出力端とした場合のフィルタ回路の構成を示す回路図である。図9に示した構成では、直列共振子16の一端が入力端41に接続され、他端が出力端42に接続されている。並列共振子17の一端は、直列共振子16と出力端42との接続点に接続されている。並列共振子17の他端は接地されている。

【0049】図10は、本実施の形態に係る共振フィルタ1が図9に示したフィルタ回路を含む場合におけるチップ10内の共振子16、17の状態を示す回路図であ

る。なお、図10では、図9との比較を容易にするために、直列共振子16の下部電極13Aが入力端41に接続され、直列共振子16の上部電極15Aが出力端42に接続され、並列共振子17の下部電極13Bが接地された状態にして表している。図10に示したように、チップ10では、上部電極15Aに接続されたバンパ21と上部電極15Bに接続されたバンパ21との間において、直列共振子16と並列共振子17とが互いに電気的に分離されている。このチップ10を実装基板30に実装すると、実装基板30の導体部32によって、上部電極15Aに接続されたバンパ21と上部電極15Bに接続されたバンパ21とが電気的に接続され、これにより、直列共振子16と並列共振子17とが互いに電気的に接続されて、図9に示したフィルタ回路が完成する。

【0050】図11は、導体部32を入力端とし、導体部33を出力端とした場合のフィルタ回路の構成を示す回路図である。図11に示した構成では、直列共振子16の一端が入力端41に接続され、他端が出力端42に接続されている。並列共振子17の一端は、直列共振子16と入力端41との接続点に接続されている。並列共振子17の他端は接地されている。

【0051】図12は、本実施の形態に係る共振フィルタ1が図11に示したフィルタ回路を含む場合におけるチップ10内の共振子16、17の状態を示す回路図である。なお、図12では、図11との比較を容易にするために、直列共振子16の上部電極15Aが入力端41に接続され、直列共振子16の下部電極13Aが出力端42に接続され、並列共振子17の下部電極13Bが接地された状態にして表している。図12に示したように、チップ10では、上部電極15Aに接続されたバンパ21と上部電極15Bに接続されたバンパ21との間において、直列共振子16と並列共振子17とが互いに電気的に分離されている。このチップ10を実装基板30に実装すると、実装基板30の導体部32によって、上部電極15Aに接続されたバンパ21と上部電極15Bに接続されたバンパ21とが電気的に接続され、これにより、直列共振子16と並列共振子17とが互いに電気的に接続されて図11に示したフィルタ回路が完成する。

【0052】次に、本実施の形態に係る共振フィルタ1の作用および特性調整方法について説明する。本実施の形態に係る共振フィルタ1は、直列共振子16と並列共振子17とを含むラダー型のフィルタ回路を有している。

【0053】直列共振子16において、下部電極13Aと上部電極15Aとの間には、高周波の励振用電圧が印加される。この励振用電圧は圧電薄膜14に印加される。これにより、圧電薄膜14のうち、下部電極13Aと上部電極15Aとの間に配置された部分が励振され、この部分に厚み方向に進行する縦波が発生する。この部

分は、励振用電圧の周波数が所定の共振周波数のときに共振する。

【0054】同様に、並列共振子17において、下部電極13Bと上部電極15Bとの間には、高周波の励振用電圧が印加される。この励振用電圧は圧電薄膜14に印加される。これにより、圧電薄膜14のうち、下部電極13Bと上部電極15Bとの間に配置された部分が励振され、この部分に厚み方向に進行する縦波が発生する。この部分は、励振用電圧の周波数が所定の共振周波数のときに共振する。

【0055】ここで、図13を参照して、本実施の形態におけるフィルタ回路の設計方法について説明する。図13において、(a)は直列共振子16および並列共振子17のアドミッタンスの周波数特性を概念的に表し、(b)はフィルタ回路の伝送特性(減衰量)を表す S_{21} パラメータの周波数特性を概念的に表している。本実施の形態では、図13に示したように、直列共振子16の共振周波数 f_{r_s} と並列共振子17の反共振周波数 f_{a_p} を、フィルタ回路の所望の通過帯域の中心周波数 f_0 に合わせる。この場合、並列共振子17の共振周波数 f_{r_p} から直列共振子16の反共振周波数 f_{a_s} までの周波数範囲が、フィルタ回路の通過帯域となる。このように、本実施の形態におけるフィルタ回路では、各共振子16、17の共振周波数および反共振周波数を正確に制御することが重要である。

【0056】一方、薄膜圧電共振子である直列共振子16および並列共振子17では、所望の共振周波数や反共振周波数を得るためには、圧電薄膜14や電極13A、13B、15A、15Bの厚みを正確に制御することが必要である。しかしながら、これらの厚みを完璧に制御することは困難である。そのため、各共振子16、17毎の共振周波数や反共振周波数を測定し、それらが所望の値からずれている場合には何らかの方法でそれらを調整することが必要になる。

【0057】ここで、本実施の形態との比較のために、図14に示したような比較例のチップ110を考える。この比較例のチップ110は、本実施の形態におけるチップ10とは、直列共振子および並列共振子の配置と下部電極および上部電極の構造のみが異なるものである。チップ110は、本実施の形態における直列共振子16および並列共振子17の代わりに、直列共振子116および並列共振子117を有している。また、チップ110は、本実施の形態における下部電極13A、13Bの代わりに、下部電極113A、113Bを有している。また、チップ110は、本実施の形態における上部電極15A、15Bの代わりに、1つの上部電極115を有している。上部電極115は直列共振子116および並列共振子117に接続されている。従って、比較例のチップ110では直列共振子116と並列共振子117とが電気的に接続されており、チップ110においてフィ

ルタ回路が完成した状態となっている。

【0058】図14に示したような比較例のチップ110では、フィルタの動作周波数等の、フィルタ回路全体の電気的特性は測定できても、チップ110内の直列共振子116および並列共振子117の共振周波数や反共振周波数を測定したり、必要に応じてそれらを調整することは困難である。そのため、このようなチップ110を用いたフィルタでは、フィルタの動作周波数等の電気的特性を調整することが難しい。

【0059】これに対し、本実施の形態では、チップ10において直列共振子16と並列共振子17は互いに電気的に分離されている。従って、チップ10を実装基板30に実装する前に、各共振子16、17について、独立に電気的特性の測定や調整を行うことができる。これにより、共振フィルタ1の動作周波数等の電気的特性を調整することが可能になる。

【0060】また、本実施の形態では、チップ10を実装基板30に実装する際に、チップ10のバンプ21が実装基板30の導体部32、33、35に電気的に接続される。このとき、導体部32によって、直列共振子16と並列共振子17とが電気的に接続され、フィルタ回路が完成する。従って、チップ10を実装基板30に実装する工程以外に、チップ10内の直列共振子16と並列共振子17を電気的に接続するための余分な工程は不要である。

【0061】ここで、図15を参照して、本実施の形態において共振子16、17の電気的特性を測定する方法の一例を説明する。この方法では、図15に示したように、直列共振子16の電気的特性を測定する際には、ネットワークアナライザに接続された信号側プローブ51Sを下部電極13Aに接触させ、ネットワークアナライザに接続された接地側プローブ51Gを上部電極15Aに接触させる。そして、ネットワークアナライザを用いて、直列共振子16のアドミッタンスの周波数特性等の電気的特性を測定する。

【0062】同様に、並列共振子17の電気的特性を測定する際には、信号側プローブ51Sを下部電極13Bに接触させ、接地側プローブ51Gを上部電極15Bに接触させる。そして、ネットワークアナライザを用いて、並列共振子17のアドミッタンスの周波数特性等の電気的特性を測定する。

【0063】また、直列共振子16の電気的特性の調整は、例えば上部電極15Aの厚みを変えることによって行うことができる。同様に、並列共振子17の電気的特性の調整は、例えば上部電極15Bの厚みを変えることによって行うことができる。

【0064】次に、図16ないし図20を参照して、本実施の形態における共振フィルタの特性調整の具体例について説明する。

【0065】この例では、最初に、以下のようなチップ

10を作製した。すなわち、このチップ10では、バリア層12の厚みは200nm、下部電極13A、13Bの厚みは90nm、圧電薄膜14の厚みは1 μ m、上部電極15Aの厚みは70nm、上部電極15Bの厚みは77nmである。バリア層12はSiN_xで形成し、圧電薄膜14はZnOで形成した。電極13A、13B、15A、15Bは、下地との密着性を高めるために5nm程度のCr層を成膜した後、その上にAu層を成膜して形成した。上記の電極13A、13B、15A、15Bの厚みは、Cr層とAu層との合計の厚みである。

【0066】次に、作製されたチップ10について、図15を参照して説明した方法によって、直列共振子16と並列共振子17のアドミッタンスの周波数特性を測定した。図16は直列共振子16のアドミッタンスの周波数特性の測定結果を示し、図17は並列共振子17のアドミッタンスの周波数特性の測定結果を示している。図16に示した測定結果から、直列共振子16の共振周波数は1.919GHz、直列共振子16の反共振周波数は1.976GHzであることが分かった。また、図17に示した測定結果から、並列共振子17の共振周波数は1.894GHz、並列共振子17の反共振周波数は1.949GHzであることが分かった。このように、上部電極15Aと上部電極15Bの厚みが異なることから、直列共振子16の共振周波数および反共振周波数と、並列共振子17の共振周波数および反共振周波数とは異なっている。

【0067】前述のように、直列共振子16の共振周波数と並列共振子17の反共振周波数とを一致させることが重要である。本例では、理論計算から、上部電極15Bの厚みが85nmで、他の要素の厚みが上記の通りであれば、直列共振子16の共振周波数と並列共振子17の反共振周波数とが一致することが分かっていた。従って、上部電極15Bは、厚みが85nmとなるように成膜したが、数nmの膜厚を完全に制御することは非常に難しいため、実際の上部電極15Bの厚みは77nmしかなかった。

【0068】図16に示した特性の直列共振子16と図17に示した特性の並列共振子17とを用いて、図9に示したフィルタ回路を構成し、そのフィルタ回路の伝送特性(減衰量)を表す S_{21} パラメータの周波数特性を測定した。測定結果を図18に示す。図18に示した特性では、所望のフィルタ特性に比べて、通過帯域での挿入損失が大きく、通過帯域が狭くなっていた。

【0069】図14に示したような比較例のチップ110では、フィルタ回路全体の電気的特性は測定できても、チップ110内の直列共振子116および並列共振子117の共振周波数や反共振周波数を測定したり、必要に応じてそれらを調整することは困難である。そのため、比較例のチップ110では、フィルタ回路の特性の測定結果が所望の特性になっていない場合でも、フィル

タ回路の特性を調整することが難しい。

【0070】これに対し、本実施の形態におけるチップ10では、図16および図17に示したように、直列共振子16の電気的特性と並列共振子17の電気的特性を、互いに独立して測定することができる。

【0071】本例では、図17に示した測定結果から、並列共振子17の電気的特性が所望の特性になっていないことが分かった。そこで、並列共振子17の上部電極15Bの厚みを測定したところ、その厚みは、所望の厚み85nmに対して8nm足りない77nmであることが分かった。そのため、本例では、最初に作製されたチップ10において、並列共振子17の上部電極15Bの上に新たに電極の材料を成膜して、上部電極15Bの厚みを77nmから85nmへ変えた。その後、並列共振子17のアドミッタンスの周波数特性を測定したところ、図19に示す結果が得られた。このときの並列共振子17の反共振周波数は、図16に示した特性の直列共振子16の共振周波数とほぼ一致した。

【0072】上述のようにして並列共振子17の上部電極15Bの厚みを調整した後に、フィルタ回路を構成し、そのフィルタ回路の伝送特性(減衰量)を表す S_{21} パラメータの周波数特性を測定した。測定結果を図20に示す。図20に示した特性では、図18に示した特性に比べて、通過帯域での挿入損失が小さく、通過帯域が広がっており、所望のフィルタ特性に近づいていた。

【0073】以上説明したように、本実施の形態に係る共振フィルタおよびその特性調整方法によれば、チップ10において直列共振子16と並列共振子17は互いに電気的に分離されているので、チップ10を実装基板30に実装する前に、各共振子16、17について独立に電気的特性の測定や調整を行って、共振フィルタの電気的特性を調整することができる。

【0074】また、本実施の形態によれば、フリップチップボンディングによってチップ10を実装基板30に実装する際に、導体部32によって直列共振子16と並列共振子17とが電気的に接続され、フィルタ回路が完成する。従って、本実施の形態によれば、チップ10を実装基板30に実装する工程以外に、チップ10内の直列共振子16と並列共振子17を電気的に接続するための余分な工程は不要である。

【0075】ところで、複数の共振子を含むフィルタをパッケージ化する場合、フィルタの構成要素を含むチップを形成し、このチップをフェースアップボンディングによって実装基板に実装して、パッケージを製造することも考えられる。フェースアップボンディングでは、ワイヤボンディングが用いられることが多い。そこで、チップ内で複数の共振子が互いに電気的に分離された状態となるようにチップを製造し、このチップをワイヤボンディングを用いて実装基板に実装すると共に、ワイヤボ

ンディングを用いて複数の共振子を電氣的に接続してフィルタ回路を完成させることも考えられる。

【0076】しかし、ワイヤボンディングを用いて複数の共振子を電氣的に接続する方法では、チップの端子をワイヤによって実装基板上の導体部に接続する工程以外に、複数の共振子をワイヤによって接続する工程が必要になる。また、ワイヤボンディングを用いて複数の共振子を電氣的に接続する方法は、ワイヤの分だけパッケージの厚み（高さ）が大きくなるため、フィルタの小型化には不向きである。更に、ワイヤボンディングを用いて複数の共振子を電氣的に接続する方法では、ワイヤによって余分なインダクタが形成され、このインダクタによってフィルタの動作周波数のずれが生じる。

【0077】これに対し、本実施の形態のように、フリップチップボンディングによってチップ10を実装基板30に実装すると共に、その際に直列共振子16と並列共振子17とが電氣的に接続されてフィルタ回路が完成するようにした場合には、上述のようなワイヤボンディングを用いて複数の共振子を電氣的に接続する場合の不具合が生じない。

【0078】〔第2の実施の形態〕次に、本実施の形態の第2の実施の形態に係る共振フィルタおよびその特性調整方法について説明する。本実施の形態では、第1の実施の形態と同様に、チップ10において直列共振子16と並列共振子17を電氣的に分離すると共に、チップ10に、直列共振子16と並列共振子17のそれぞれの電氣的特性を調整するための調整部を設けている。

【0079】図21は、本実施の形態に係る共振フィルタにおけるチップ10内の共振子16、17の状態を示す回路図である。本実施の形態におけるチップ10は、直列共振子16および並列共振子17の他に、直列共振子16の電氣的特性を調整するための調整部61と、並列共振子17の電氣的特性を調整するための調整部62とを備えている。調整部61の一端は直列共振子16の一端に接続されている。調整部62の一端は並列共振子17の一端に接続されている。直列共振子16の他端はバンプ21に接続され、並列共振子17の他端は他のバンプ21に接続され、これら2つのバンプ21、21は互いに電氣的に分離されている。なお、図21では、便宜上、調整部61の他端が入力端41に接続され、直列共振子16の他端が出力端42に接続され、調整部62の他端が接地された状態にして表している。

【0080】図22は、本実施の形態におけるチップ10の要部を示す平面図である。本実施の形態におけるチップ10は、第1の実施の形態における下部電極13A、13Bおよび上部電極15A、15Bの代わりに、下部電極63A、63Bおよび上部電極65A、65Bを備えている。

【0081】図22に示したように上方から見たときに、下部電極63Aと上部電極65Aは一方向に沿って

配置されている。下部電極63Aの左側の端部は空洞11aに対応する領域内に配置され、下部電極63Aの右側の端部は空洞11aに対応する領域の外に配置されている。また、上部電極65Aの右側の端部は空洞11aに対応する領域内に配置され、上部電極65Aの左側の端部は空洞11aに対応する領域の外に配置されている。下部電極63Aの左側の端部近傍の一部と上部電極65Aの右側の端部近傍の一部は、圧電薄膜14を介して互いに対向するように配置されている。そして、下部電極63Aと上部電極65Aの互いに重なる部分と、これらの間に配置された圧電薄膜14の一部とによって、直列共振子16が形成されている。

【0082】また、図22に示したように上方から見たときに、下部電極63Bは、下部電極63Aに対して所定の間隔を空けて平行に配置されている。上部電極65Bは下部電極63Bに対して直交するように配置されている。下部電極63Bの左側の端部は空洞11aに対応する領域内に配置され、下部電極63Bの右側の端部は空洞11aに対応する領域の外に配置されている。また、上部電極65Bの図22における上側の端部は空洞11aに対応する領域内に配置され、上部電極65Bの図22における下側の端部は空洞11aに対応する領域の外に配置されている。上部電極65Bの上側の端部近傍の一部と下部電極63Bの左側の端部近傍の一部は、圧電薄膜14を介して互いに対向するように配置されている。そして、下部電極63Bと上部電極65Bの互いに重なる部分と、これらの間に配置された圧電薄膜14の一部とによって、並列共振子17が形成されている。

【0083】圧電薄膜14において、下部電極63Aの右側の端部近傍の部分に対応する位置と、下部電極63Bの右側の端部近傍の部分に対応する位置には、それぞれ、スルーホール14a、14bが形成されている。

【0084】本実施の形態では、上部電極65Aの左側の端部に調整部70が接続され、上部電極65Aの下側の端部に調整部80が接続されている。下部電極63Aの右側の端部近傍の部分、下部電極63Bの右側の端部近傍の部分、調整部70の左側の端部近傍の部分および調整部80の図22における下側の端部近傍の部分の上には、それぞれ、バンプ21が形成されている。

【0085】調整部70、80は、上部電極65A、65Bと同一平面上に配置されている。調整部70、80は、それぞれ、切断され得る部分である切断予定部を1つ以上含み、この切断予定部の状態に応じてインピーダンスが変化するものである。本実施の形態では、特に、調整部70、80は、切断予定部の状態に応じてインダクタンスが変化するようになっている。

【0086】図22には、調整部70、80の形状の一例を示している。この例では、調整部70は、右側の端部と左側の端部との間に形成された枝部71、72を有している。枝部71、72の右側の端部同士は互いに連

結され、枝部71、72の左側の端部同士も互いに連結されている。枝部72は枝部71よりも長くなっている。枝部71の両端部には切断予定部73、74が設けられている。枝部72の両端部には切断予定部75、76が設けられている。

【0087】また、図22に示した調整部80は、図22における上側の端部と下側の端部との間に形成された枝部81、82を有している。枝部81、82の上側の端部同士は互いに連結され、枝部81、82の下側の端部同士も互いに連結されている。枝部82は枝部81よりも長くなっている。枝部81の両端部には切断予定部83、84が設けられている。枝部82の両端部には切断予定部85、86が設けられている。

【0088】図22に示した調整部70では、切断予定部73～76のいずれをも切断しなければ、調整部70の両端部は枝部71および枝部72によって接続される。この状態を第1の状態と呼ぶ。また、調整部70では、図23に示したように、切断予定部75、76を切断すると調整部70の両端部は枝部71によって接続される。この状態を第2の状態と呼ぶ。また、調整部70では、図24に示したように、切断予定部73、74を切断すると調整部70の両端部は枝部72によって接続される。この状態を第3の状態と呼ぶ。切断予定部73～76の切断には、例えば強度の大きなレーザービームが用いられる。また、切断予定部73～76を切断する際には、切断された部分によって調整部70に大きな静電容量成分が発生しないように、ある程度の幅をもって切断予定部73～76を切断するのが好ましい。第1の状態と第2の状態と第3の状態とは、互いに調整部70のインダクタンスが異なる。調整部70は直列共振子16に対して直列に接続されているので、調整部70のインダクタンスが変化すると直列共振子16の共振周波数が変化する。このようにして、切断予定部73～76を切断しない状態で直列共振子16の共振周波数を測定し、必要に応じて、切断予定部75、76を切断したり、切断予定部73、74を切断したりすることによって、直列共振子16の共振周波数を調整することが可能である。

【0089】同様に、図22に示した調整部80では、切断予定部83～86を切断しない状態で並列共振子17の共振周波数を測定し、必要に応じて、切断予定部85、86を切断したり、切断予定部83、84を切断したりすることによって、並列共振子17の共振周波数を調整することが可能である。

【0090】上述のように必要に応じて共振子16、17の共振周波数を調整した後のチップ10は、バンプ21が形成された面を下にして実装基板30の上面の上に配置され、フリップチップボンディングによって実装基板30に実装される。このとき、調整部70の一端部はバンプ21を介して信号用導体部33に電気的に接続さ

れる。下部電極63A、63Bはそれぞれバンプ21を介して信号用導体部32に電気的に接続される。調整部80の一端部はバンプ21を介して接地用導体部35に電気的に接続される。このようにして、パッケージ化された共振フィルタが形成される。

【0091】本実施の形態において、調整部70、80における切断予定部は予め定められているので、切断予定部の状態と調整部70、80のインダクタンスとの関係は、予め知ることができる。従って、本実施の形態におけるチップ10では、第1の実施の形態と同様に、共振子16、17の電気的特性を測定した後、調整部70、80の切断予定部の状態を選択することによって調整部70、80のインダクタンスを、予め知られた量だけ変えることができる。従って、本実施の形態によれば、各共振子16、17の共振周波数を容易に調整することが可能になる。

【0092】なお、本実施の形態において、調整部70、80は、切断され得る部分である切断予定部を1つ以上含み、切断予定部の状態に応じてインダクタンスが変化するものであればよい。従って、調整部70、80の形状や調整部70、80のインダクタンスの調整の方法は、前述の形状や方法に限定されない。また、調整部70、80は、切断予定部の状態に応じてキャパシタンスが変化するものであってもよい。また、本実施の形態において、調整部70、80の一方を省略してもよい。

【0093】本実施の形態におけるその他の構成、作用および効果は、第1の実施の形態と同様である。

【0094】[第3の実施の形態]次に、本実施の形態の第3の実施の形態に係る共振フィルタおよびその特性調整方法について説明する。本実施の形態に係る共振フィルタにおけるフィルタ回路は、図9に示したフィルタ回路を基本構成とし、複数の基本構成が縦続接続されて構成されている。

【0095】本実施の形態におけるチップ10は、複数の直列共振子および複数の並列共振子を含んでいる。本実施の形態に係るチップ10において、複数の直列共振子および並列共振子は、全てが互いに電気的に分離されていてよいし、一部の直列共振子または並列共振子のみが他の直列共振子または並列共振子から電気的に分離されていてよい。

【0096】図25は、本実施の形態におけるチップ10内の共振子の状態の一例を示す回路図である。この例では、チップ10は、3個の直列共振子161、162、163と3個の並列共振子171、172、173を含み、これらは互いに電気的に分離されている。直列共振子161、162、163の構成は第1の実施の形態における直列共振子16と同様である。並列共振子171、172、173の構成は第1の実施の形態における並列共振子17と同様である。

【0097】1段目の直列共振子161の下部電極13

Aはフィルタ回路の入力端41に接続されるようになっている。この直列共振子161の上部電極15Aにはバンプ211, 213が接続されている。1段目の並列共振子171の下部電極13Bは接地されるようになっている。この並列共振子171の上部電極15Bにはバンプ212が接続されている。2段目の直列共振子162の下部電極13Aにはバンプ214が接続されている。この直列共振子162の上部電極15Aにはバンプ215, 217が接続されている。2段目の並列共振子172の下部電極13Bは接地されるようになっている。この並列共振子172の上部電極15Bにはバンプ216が接続されている。3段目の直列共振子163の下部電極13Aにはバンプ218が接続されている。この直列共振子163の上部電極15Aにはバンプ219が接続されている。また、この上部電極15Aはフィルタ回路の出力端42に接続されるようになっている。3段目の並列共振子173の下部電極13Bは接地されるようになっている。この並列共振子173の上部電極15Bにはバンプ220が接続されている。

【0098】図25に示した構成のチップ10が実装される実装基板30には、バンプ211, 212同士、バンプ213, 214同士、バンプ215, 216同士、バンプ217, 218同士、バンプ219, 220同士をそれぞれ接続する複数の導体部が設けられている。図25に示した構成のチップ10を、この実装基板30に実装すると、上記の組み合わせのバンプ同士が互いに電気的に接続され、3段構成のラダー型フィルタ回路が完成する。なお、図25に示した構成において、バンプ213, 217を省略し、実装基板30の1つの導体部によってバンプ211, 212, 214を接続し、実装基板30の他の1つの導体部によってバンプ215, 216, 218を接続するようにしてもよい。

【0099】図26は、本実施の形態におけるチップ10内の共振子の状態の他の例を示す回路図である。この例では、チップ10は、3個の直列共振子161, 162, 163と3個の並列共振子171, 172, 173を含んでいる。本例では、直列共振子161, 162, 163は直列に接続されている。

【0100】1段目の直列共振子161の下部電極13Aはフィルタ回路の入力端41に接続されるようになっている。この直列共振子161の上部電極15Aにはバンプ221が接続されている。1段目の並列共振子171の下部電極13Bは接地されるようになっている。この並列共振子171の上部電極15Bにはバンプ222が接続されている。2段目の直列共振子162の下部電極13Aは、直列共振子161の上部電極15Aに接続されている。この直列共振子162の上部電極15Aにはバンプ223が接続されている。2段目の並列共振子172の下部電極13Bは接地されるようになっている。この並列共振子172の上部電極15Bにはバンプ

224が接続されている。3段目の直列共振子163の下部電極13Aは、直列共振子162の上部電極15Aに接続されている。この直列共振子163の上部電極15Aにはバンプ225が接続されている。また、この上部電極15Aはフィルタ回路の出力端42に接続されるようになっている。3段目の並列共振子173の下部電極13Bは接地されるようになっている。この並列共振子173の上部電極15Bにはバンプ226が接続されている。

【0101】図26に示した構成のチップ10が実装される実装基板30には、バンプ221, 222同士、バンプ223, 224同士、バンプ225, 226同士をそれぞれ接続する複数の導体部が設けられている。図26に示した構成のチップ10を、この実装基板30に実装すると、上記の組み合わせのバンプ同士が互いに電気的に接続され、3段構成のラダー型フィルタ回路が完成する。

【0102】本実施の形態では、チップ10内において他の共振子から電気的に分離された共振子について電気的特性の測定や調整を行うことによって、共振フィルタの電気的特性を調整することができる。

【0103】なお、本実施の形態におけるチップ10内の共振子の状態は、図25または図26に示した状態に限らず、少なくとも1つの共振子が、他の共振子から電気的に分離されたものであればよい。また、本実施の形態に係る共振フィルタにおけるフィルタ回路は、図11に示したフィルタ回路を基本構成とし、複数の基本構成が縦続接続されて構成されたものであってもよい。また、縦続接続する基本構成の数は3に限らない。

【0104】また、本実施の形態において、第2の実施の形態と同様に、チップ10内において他の共振子から電気的に分離された共振子の電気的特性を調整するための調整部を設けてもよい。

【0105】本実施の形態におけるその他の構成、作用および効果は、第1または第2の実施の形態と同様である。

【0106】〔第4の実施の形態〕次に、本実施の形態の第4の実施の形態に係るデュプレクサについて説明する。図27は本実施の形態に係るデュプレクサの回路図である。本実施の形態に係るデュプレクサ90は、図示しないアンテナに接続されるアンテナ端子91, 92と、アンテナに対して送信信号を出力する図示しない送信回路に接続される送信信号端子93, 94と、アンテナからの受信信号を入力する図示しない受信回路に接続される受信信号端子95, 96とを備えている。

【0107】デュプレクサ90は、更に、送信信号を通過させ、受信信号を遮断する第1のフィルタ97と、受信信号を通過させ、送信信号を遮断する第2のフィルタ98とを備えている。フィルタ97, 98は、それぞれ、2つの入力端子と2つの出力端子とを有している。

【0108】フィルタ97の2つの入力端子はそれぞれ送信信号端子93、94に接続されている。フィルタ97の2つの出力端子はそれぞれアンテナ端子91、92に接続されている。フィルタ98の一方の入力端子は4分の1波長位相変換器99を介してアンテナ端子91に接続され、他方の入力端子はアンテナ端子92に接続されている。フィルタ98の2つの出力端子はそれぞれ受信信号端子95、96に接続されている。

【0109】本実施の形態に係るデュプレクサ90では、フィルタ97、98の少なくとも一方として、第1ないし第3のいずれかの実施の形態に係る共振フィルタが用いられている。フィルタ97、98の双方が第1ないし第3のいずれかの実施の形態に係る共振フィルタである場合には、フィルタ97の実装基板とフィルタ98の実装基板は共通であってもよい。

【0110】以下、フィルタ97、98の双方が第1の実施の形態に係る共振フィルタであって、且つフィルタ97の実装基板とフィルタ98の実装基板が共通である場合の例について説明する。図28は本例におけるデュプレクサ90の平面図、図29は図28におけるC部を拡大して示す平面図である。

【0111】図28に示したように、この例では、デュプレクサ90は、実装基板130と、この実装基板130にフリップチップボンディングによって実装された送信用チップ10Tおよび受信用チップ10Rとを備えている。

【0112】実装基板130の一方の面には、一端部が図示しないアンテナに接続される導体部131と、それぞれ一端部が導体部131の他端部に接続された送信用導体部132および受信用導体部133と、一端部が送信用導体部132の他端部に対して所定の間隔を空けて対向するように配置された送信用導体部134と、一端部が受信用導体部133の他端部に対して所定の間隔を空けて対向するように配置された受信用導体部135とが設けられている。送信用導体部134の他端部は図示しない送信回路に接続されるようになっている。送信用導体部134の他端部は送信信号端子93に対応する。受信用導体部135の他端部は図示しない受信回路に接続されるようになっている。受信用導体部135の他端部は受信信号端子95に対応する。導体部131の一端部はアンテナ端子91に対応する。

【0113】受信用導体部133の一部は、鉤状に屈曲しており、この部分が4分の1波長位相変換器99になっている。また、図28における接地用導体部136は、図27における端子92、94、96およびこれらに接続された信号線の部分に対応する。

【0114】実装基板130の一方の面には、更に、接地用導体部136が設けられている。この接地用導体部136は、実装基板130の一方の面の大部分を占めている。接地用導体部136と導体部131～135と

は、所定の間隔を空けて隔てられている。接地用導体部136は、導体部132、134の端部同士が対向する領域に向けて突出する突出部136aと、導体部133、135の端部同士が対向する領域に向けて突出する突出部136bとを有している。

【0115】送信用チップ10Tは、導体部132、134の端部同士が対向する領域に配置され、導体部132、134の各端部と突出部136aの端部に電氣的に接続されている。受信用チップ10Rは、導体部133、135の端部同士が対向する領域に配置され、導体部133、135の各端部と突出部136bの端部に電氣的に接続されている。チップ10T、10Rの構成は、第1の実施の形態におけるチップ10と同様である。ただし、送信用チップ10Tと受信用チップ10Rとでは、上部電極15A、15Bの厚みを変える等の方法により、通過帯域を異ならせている。

【0116】図29に示したように、送信用チップ10Tにおいて、下部電極13Aはバンプ21を介して送信用導体部132に電氣的に接続される。上部電極15Aはバンプ21を介して送信用導体部134に電氣的に接続される。下部電極13Bはバンプ21を介して接地用導体部136の突出部136aに電氣的に接続される。上部電極15Bはバンプ21を介して送信用導体部134に電氣的に接続される。これにより、フィルタ97が完成する。

【0117】図示しないが、同様に、受信用チップ10Rにおいて、下部電極13Aはバンプ21を介して受信用導体部135に電氣的に接続される。上部電極15Aはバンプ21を介して受信用導体部133に電氣的に接続される。下部電極13Bはバンプ21を介して接地用導体部136の突出部136bに電氣的に接続される。上部電極15Bはバンプ21を介して受信用導体部133に電氣的に接続される。これにより、フィルタ98が完成する。

【0118】本実施の形態に係るデュプレクサ90では、送信回路から送られてきた送信信号は、フィルタ97を通過してアンテナに送られる。また、アンテナからの受信信号は、4分の1波長位相変換器99を通過して、4分の1波長だけ位相がずれた信号に変換された後、フィルタ98を通過して受信回路に送られる。

【0119】本実施の形態に係るデュプレクサ90では、フィルタ97、98の少なくとも一方として、第1ないし第3のいずれかの実施の形態に係る共振フィルタを用いている。従って、本実施の形態によれば、フィルタ97、98の少なくとも一方において、一部の共振子についての電氣的特性の測定や調整を行うことによってフィルタの電氣的特性を調整し、結果的にデュプレクサ90の電氣的特性を調整することが可能になる。

【0120】本実施の形態におけるその他の構成、作用および効果は、第1ないし第3の実施の形態と同様であ

る。

【0121】なお、本発明は上記各実施の形態に限定されず、種々の変更が可能である。例えば、チップを実装基板に実装する方法としては、フリップチップボンディング以外のフェースダウンボンディングを用いてもよい。

【0122】

【発明の効果】以上説明したように、請求項1ないし6のいずれかに記載の共振フィルタでは、複数の共振子を有するチップにおいて少なくとも1つの共振子は他の共振子から電気的に分離されている。従って、本発明によれば、チップと実装基板とを有する共振フィルタにおいて、一部の共振子について電気的特性の測定や調整を行うことによって、共振フィルタの電気的特性を調整することが可能になるという効果を奏する。

【0123】また、請求項7記載の共振フィルタの特性調整方法では、請求項1ないし6のいずれかに記載の共振フィルタにおいて、チップを実装基板に実装する前に、少なくとも1つの共振子について電気的特性を調整し、この調整後のチップを実装基板に実装する。従って、本発明によれば、チップと実装基板とを有する共振フィルタにおいて、一部の共振子について電気的特性の測定や調整を行うことによって、共振フィルタの電気的特性を調整することが可能になるという効果を奏する。

【0124】また、請求項8記載のデュプレクサでは、受信信号を遮断する第1のフィルタと、受信信号を通過させ、送信信号を遮断する第2のフィルタの少なくとも一方を、請求項1ないし6のいずれかに記載の共振フィルタとしている。従って、本発明によれば、この共振フィルタにおいて、一部の共振子について電気的特性の測定や調整を行うことによって、デュプレクサの電気的特性を調整することが可能になるという効果を奏する。

【0125】また、請求項9記載のデュプレクサの特性調整方法では、請求項8記載のデュプレクサにおいて、チップを実装基板に実装する前に、少なくとも1つの共振子について電気的特性を調整し、この調整後のチップを実装基板に実装する。従って、本発明によれば、複数の共振子を有するチップと、このチップが実装された実装基板とを有するデュプレクサにおいて、共振フィルタ内の一部の共振子について電気的特性の調整を行うことによって、デュプレクサの電気的特性を調整することが可能になるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る共振フィルタの平面図である。

【図2】図1におけるA-A線断面を拡大して示す断面図である。

【図3】バンプを形成する前の図1におけるチップの要部を示す平面図である。

【図4】図3のB-B線断面図である。

【図5】バンプを形成した後の図1におけるチップの要

部を示す平面図である。

【図6】本発明の第1の実施の形態における実装基板の平面図である。

【図7】図6における下側から見た実装基板の側面図である。

【図8】本発明の第1の実施の形態における実装基板の底面図である。

【図9】本発明の第1の実施の形態におけるフィルタ回路の構成の一例を示す回路図である。

【図10】図9に示した例におけるチップ内の共振子の状態を示す回路図である。

【図11】本発明の第1の実施の形態におけるフィルタ回路の構成の他の例を示す回路図である。

【図12】図11に示した例におけるチップ内の共振子の状態を示す回路図である。

【図13】本発明の第1の実施の形態におけるフィルタ回路の設計方法を説明するための説明図である。

【図14】本発明の第1の実施の形態に対する比較例のチップの構成を示す平面図である。

【図15】本発明の第1の実施の形態において共振子の電気的特性を測定する方法の一例を説明するための説明図である。

【図16】本発明の第1の実施の形態における直列共振子のアドミッタンスの周波数特性の測定結果の一例を示す特性図である。

【図17】本発明の第1の実施の形態における並列共振子のアドミッタンスの周波数特性の測定結果の一例を示す特性図である。

【図18】図16に示した特性の直列共振子と図17に示した特性の並列共振子とを用いて構成したフィルタ回路の伝送特性の測定結果を示す特性図である。

【図19】本発明の第1の実施の形態における並列共振子のアドミッタンスの周波数特性の測定結果の他の例を示す特性図である。

【図20】図16に示した特性の直列共振子と図19に示した特性の並列共振子とを用いて構成したフィルタ回路の伝送特性の測定結果を示す特性図である。

【図21】本発明の第2の実施の形態に係る共振フィルタにおけるチップ内の共振子の状態を示す回路図である。

【図22】本発明の第2の実施の形態におけるチップの要部を示す平面図である。

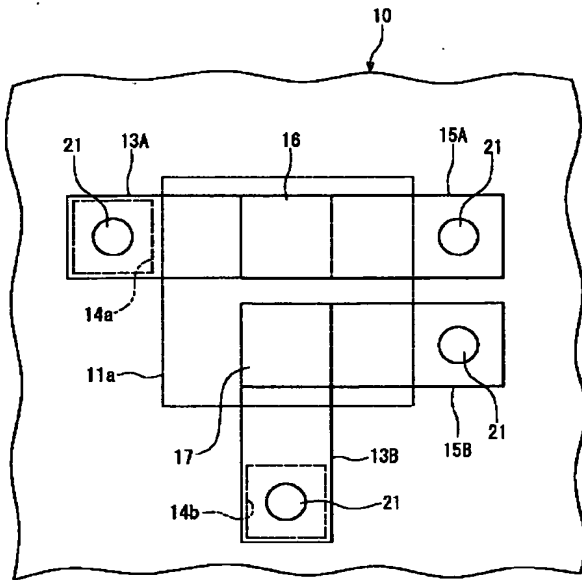
【図23】図22に示したチップの状態の一例を示す平面図である。

【図24】図22に示したチップの状態の他の例を示す平面図である。

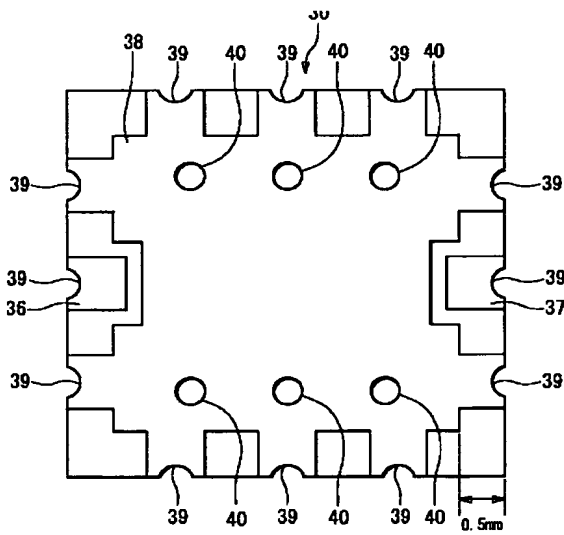
【図25】本発明の第3の実施の形態におけるチップ内の共振子の状態の一例を示す回路図である。

【図26】本発明の第3の実施の形態におけるチップ内の共振子の状態の他の例を示す回路図である。

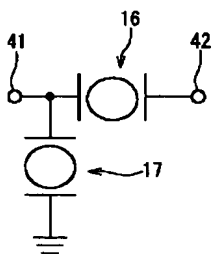
【図5】



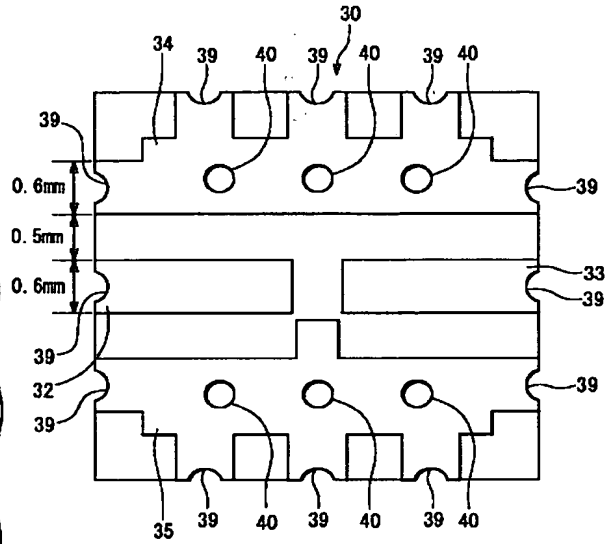
【図8】



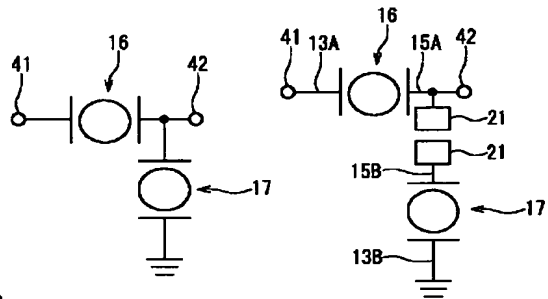
【図11】



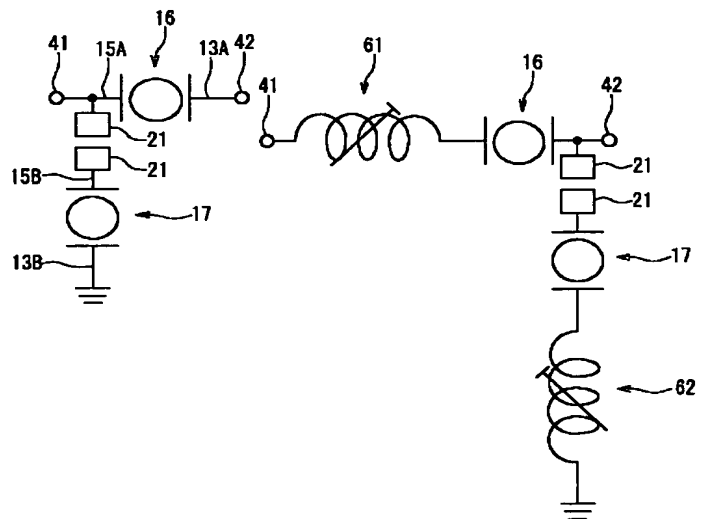
【図6】



【図9】

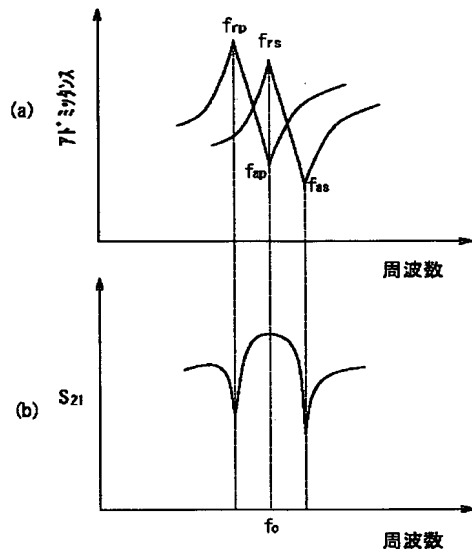


【図12】

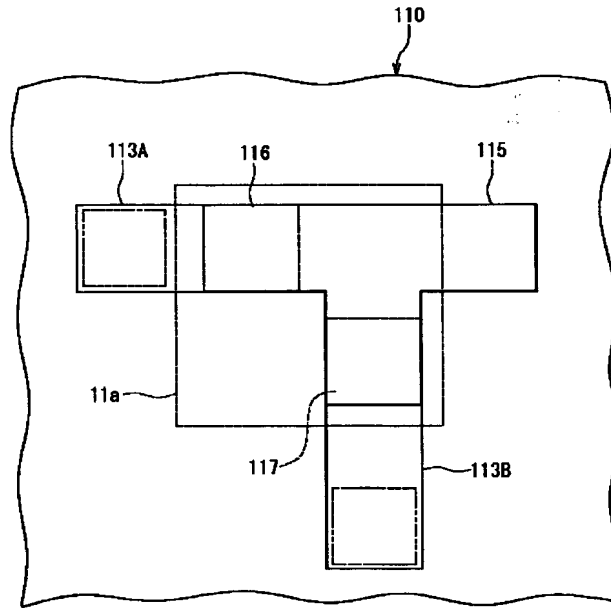


【図21】

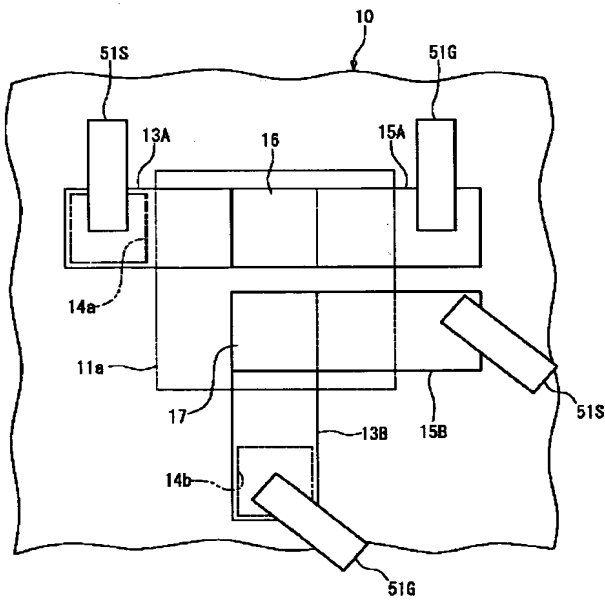
【図13】



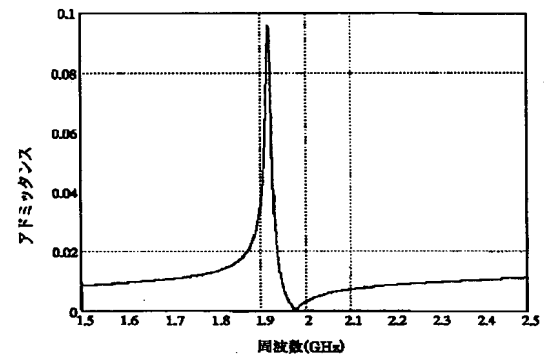
【図14】



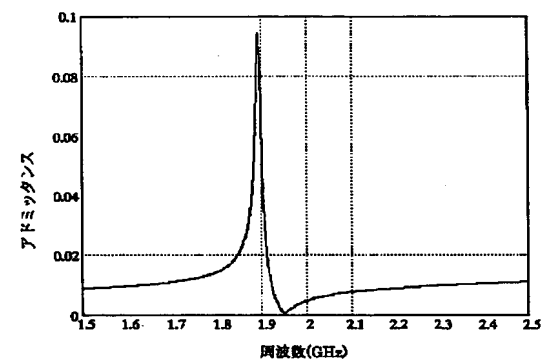
【図15】



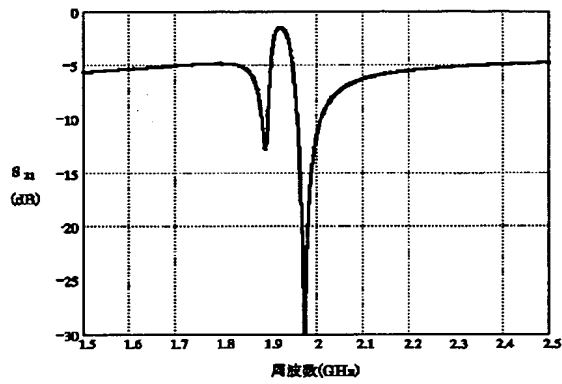
【図16】



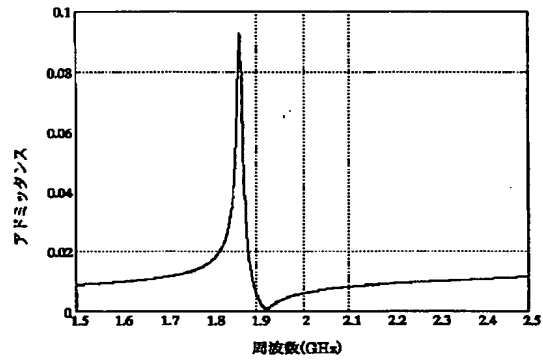
【図17】



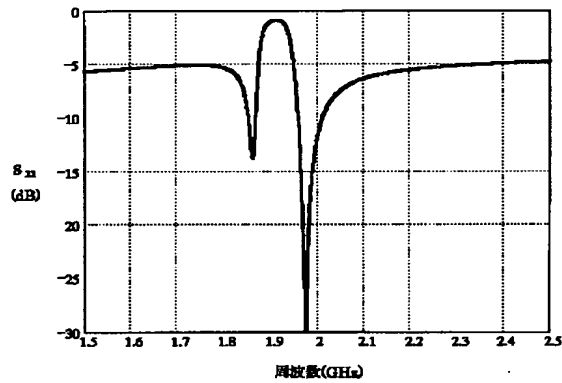
【図18】



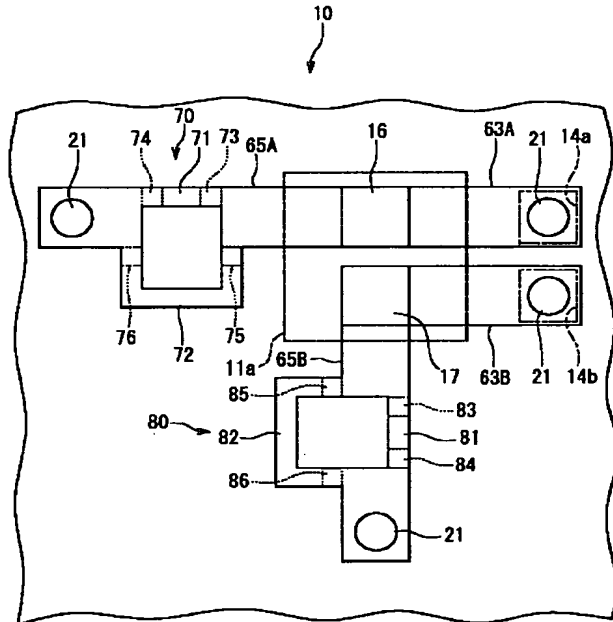
【図19】



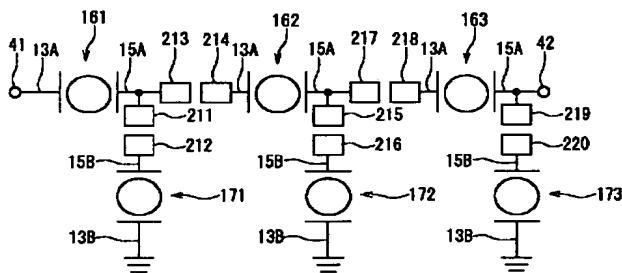
【図20】



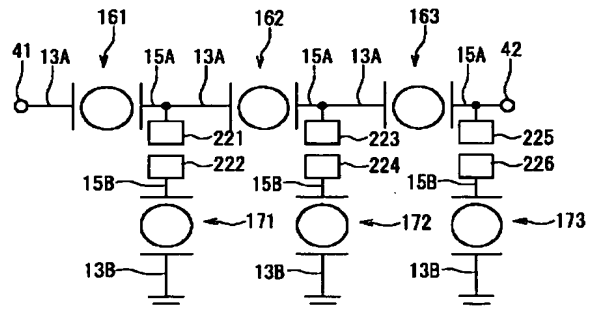
【図22】



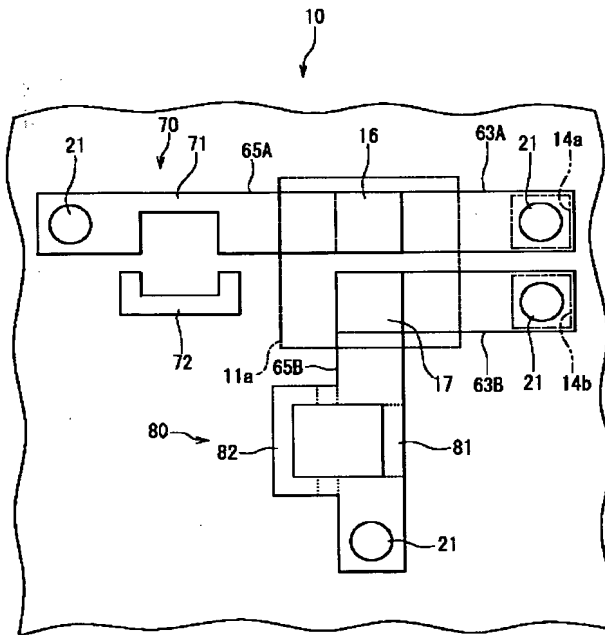
【図25】



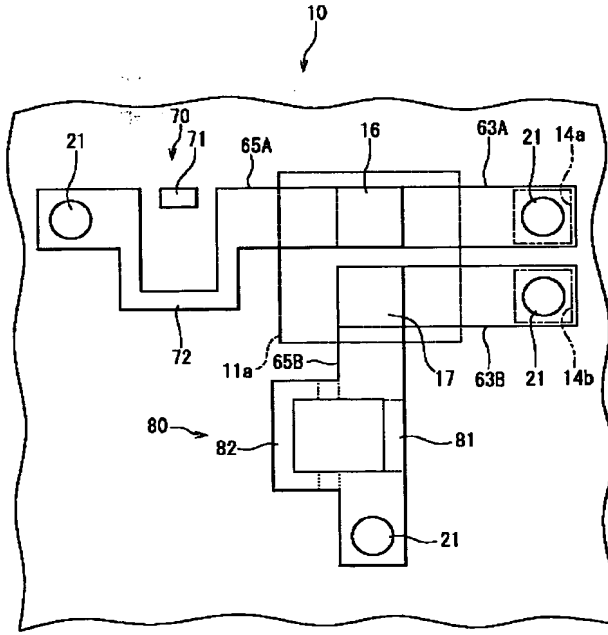
【図26】



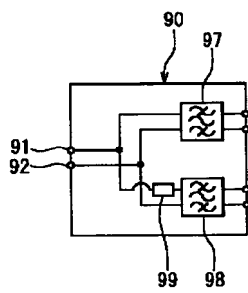
【図23】



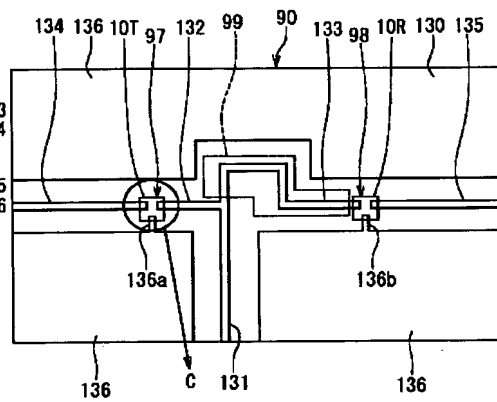
【図24】



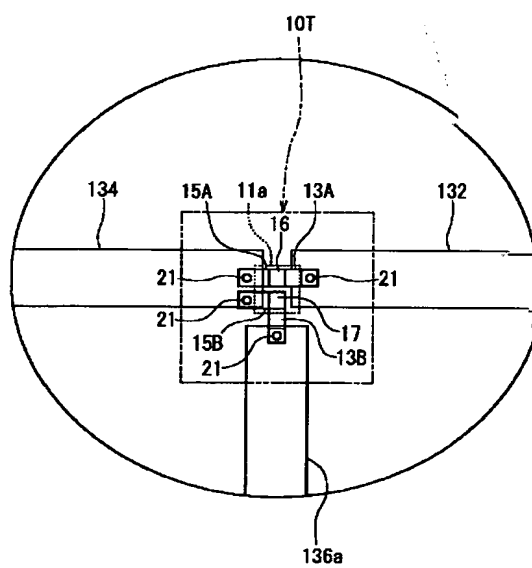
【図27】



【図28】



【図29】



THIS PAGE BLANK (USPTO)